

JP05035209 A

DIVIDED SCREEN DRIVING SYSTEM FOR LIQUID CRYSTAL DISPLAY DEVICE

PFU LTD

Inventor(s):OYAMA HIDEHIRO

Application No. 03193773 JP03193773 JP, Filed 19910802,A1 Published 19930212

Abstract: PURPOSE: To drive a liquid crystal display device by a frame memory whose capacity is a half as large as the number of picture elements of one screen.

CONSTITUTION: This driving system is equipped with the frame memory 1 whose capacity is a half as large as the number of picture elements of one screen, a memory address generation part 4, a memory control signal generation part 8, and a data control part 5, which includes a display data holding part 1 (10) for holding data read out of the frame memory 1 and a display data holding part 2 (11) for holding inputted display data; and the data control part 5 reads the data of one divided screen (3A) out of the frame memory 1 and holds the data, and inputs and holds the display data of the other divided screen (3B), and while the inputted display data are stored in the addresses of the frame memory 1 where the data are read out, the read display data and inputted display data are outputted together.

COPYRIGHT: (C)1993,JPO&Japio

Int'l Class: G09G00336; G09G00514

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-35209

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁵

G 0 9 G 3/36
// G 0 9 G 5/14

識別記号

府内整理番号
7926-5G
8121-5G

F I

技術表示箇所

審査請求 未請求 請求項の数1(全13頁)

(21)出願番号 特願平3-193773

(22)出願日 平成3年(1991)8月2日

(71)出願人 000136136

株式会社ピーエフユー

石川県河北郡宇ノ気町字宇野気ヌ98番地の
2

(72)発明者 尾山 英啓

神奈川県大和市深見西四丁目2番49号 株
式会社ピーエフユー大和工場内

(74)代理人 弁理士 長谷川 文廣 (外2名)

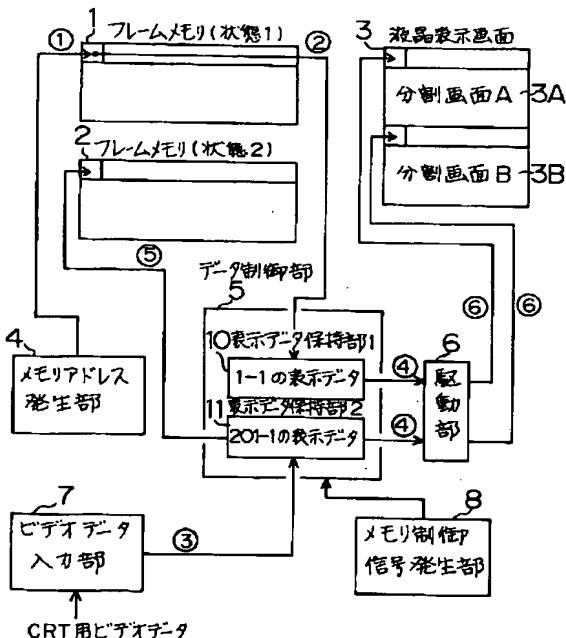
(54)【発明の名称】 液晶表示装置の画面分割駆動方式

(57)【要約】

【目的】 液晶表示装置の画面分割駆動方式に関し、1画面の画素数の1/2の記憶容量のフレームメモリにより駆動可能とすることを目的とする。

【構成】 一表示画面の画素数の記憶容量の半分の容量のフレームメモリ1と、メモリアドレス発生部4と、メモリ制御信号発生部8と、データ制御部5とを備え、データ制御部5はフレームメモリ1から読み出したデータを保持する表示データ保持部1(10)と入力した表示データを保持する表示データ保持部2(11)とを含み、データ制御部5は一方の分割画面(3A)のデータをフレームメモリ1から読み出して保持し、他方の分割画面(3B)の表示データを入力して保持し、入力した表示データをフレームメモリ1の上記読み出したデータのアドレスに格納するとともに、読み出した表示データと入力した表示データを揃えて出力する構成を持つ。

本発明の基本構成



【特許請求の範囲】

【請求項1】二分割された液晶表示装置の画面分割駆動方式において、一表示画面の表示データを格納するのに必要な記憶容量の半分の記憶容量のフレームメモリ(1)と、フレームメモリ(1)にアクセスするアドレスを発生するメモリアドレス発生部(4)と、フレームメモリ(1)の制御信号を発生するメモリ制御信号発生部(8)と、表示データの入出力制御とフレームメモリ(1)に対する書き込みと読み出し制御を行うデータ制御部(5)と、フレームメモリ(1)に書き込むビデオデータを入力するビデオデータ入力部(7)とを備え、データ制御部(5)はフレームメモリ(1)から読み出したデータを保持する表示データ保持部1(10)と入力した表示データを保持する表示データ保持部2(11)とを含み、データ制御部(5)は、一方の分割画面(3A)の表示データをメモリアドレス発生部(4)で指定されたアドレスによりフレームメモリ(1)から読み出して保持し、他方の分割画面(3B)の表示データを入力して保持し、ビデオデータ入力部(7)から入力した表示データをフレームメモリ(1)の上記アドレスに格納するとともに、フレームメモリ(1)から読み出した上記表示データと入力した上記表示データを揃えて出力し、それぞれ分割画面(3A)、(3B)に表示することを特徴とする液晶表示装置の画面分割駆動方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CRT用ビデオデータを入力して、二分割された液晶表示画面に静止画像を表示する液晶表示装置の画面分割駆動方式に関する。

【0002】

【従来の技術】従来、CRT用ビデオデータを入力して液晶画面に表示する場合には、一画面の表示画素数と同等の容量のメモリを用いていた。

【0003】図5は従来の技術の説明図である。図(a)は従来の装置構成を示し、CRT用ビデオ信号を入力し上下に二分割された液晶画面に表示するための装置構成である。

【0004】図において、100はフレーム監視部であって、フレームの状態を監視し、ビデオデータの同期信号に基づいて、フレームメモリを制御するためのメモリアドレス発生部103、メモリ制御信号発生部102、データ制御部112(いずれも後述)の動作を管理するものである。101はデータ制御部であって、フレーム監視部100からの信号に基づいて、アドレス指定されたフレームメモリ上のデータを読み出して表示データとして出力し、入力されたビデオデータをアドレス指定された位置に書き込むものである。102はメモリ制御信号発生部であって、フレーム監視部100からの信号に基づいて、アウトプットイネーブル、チップセレクト等のフレームメモリ制御を行うものである。103はメモ

リアドレスタリス発生部であって、フレーム監視部100からの信号に基づいて、フレームメモリの書き込み、読み出しのアドレスを発生するものである。104はフレームメモリであって、1画面分の画素の表示データを格納するものである。105は駆動部であって、データ制御部101から出力される表示データについて、液晶表示画面を駆動するものである。106は液晶表示画面であって、上下に二分割され、上画面データと下画面データを同時に表示するものである。

【0005】110は書き込みアドレスカウンタ、111は読み出しアドレスカウンタ、112は上画面データ保持部、113は下画面データ保持部、114は書き込みデータ保持部である。

【0006】図(b)はフレームメモリの記憶状態を示す図である。図において、104はフレームメモリである。図は400ラインの液晶画面の場合のフレームメモリの記憶状態を示し、従来は、一表示画面分の画素データをフレームメモリに記憶していた。

【0007】図(a)の構成の動作を説明する。フレーム監視部100は、同期信号に基づいて、現在どのラインのビデオデータが入力されているかを認識し、データ制御部101、メモリ制御信号発生部102、メモリアドレス発生部103を制御する信号を発生する。

【0008】メモリアドレス発生部103は、フレーム監視部100の信号に基づいて書き込みアドレスカウンタ110および読み出しアドレスカウンタ111により、それぞれフレームメモリの書き込みもしくは読み出しのアドレスを発生する。書き込みのアドレスは、ラインにおいて左端の桁から右端の桁に向かって順次指定され、ラインの選択は1ラインから400ラインまで順次指定される。読み出しのアドレスは、上画面と下画面を交互に指定し、各画面について、最上位ラインから最下位ラインに向かって順次に指定され、各ラインにおいて左端の桁から右端の桁に向かって順次指定される。

【0009】メモリ制御信号発生部102は、フレーム監視部100の信号に基づいて、アウトプットイネーブル、インプットイネーブル、チップセレクト等の制御信号を発生し、フレームメモリへビデオデータを書き込む制御、もしくは書き込まれているデータを読み出す制御を行う。

【0010】データ制御部101は、フレームメモリのアドレス指定されたデータを読み出して上画面データ保持部112および下画面データ保持部113に保持する。そして、出力するタイミングに合わせてそれぞれの表示データを液晶表示画面の駆動部105に出力する。また、データ制御部101は、ビデオデータを入力して書き込みデータ保持部114に保持し、メモリ制御信号発生部102の書き込み制御信号のタイミングに合わせて、フレームメモリ104の指定されたアドレスに入力しビデオデータを書き込む。

【0011】駆動部105はデータ制御部から出力される上画面の表示データ、下画面の表示データについて二分割された液晶表示画面を駆動する。液晶表示画面106は、上画面表示データを上画面に表示し、下画面表示データを下画面に表示する。

【0012】図6は従来の駆動方式のタイミング図を示す。図6は横80桁、縦400ラインの場合のタイミング図である。図において、水平方向タイミングは、表示画面上の1キャラクタ時間毎の区切りを表し、フレームメモリへの1キャラクタデータの書き込み(W)および読み出し(R)のタイミングを表す。括弧付きの番号により便宜的にキャラクタ時間の順番を表す。

【0013】フレームメモリサイクルのWはフレームメモリへの書き込みサイクル(ライトサイクル)、Rは読み出しサイクル(リードサイクル)を表す。フレームメモリサイクルにおけるメモリのアドレスを「ライン番号-桁番号」により表す。例えば、図のキャラクタ時間(1)のアドレス1-1は1ラインの1桁に表示するデータであることを表す。

【0014】同様にライトデータ、リードデータはそれぞれ「ライン番号-桁番号」で表す表示位置の書き込みデータ、読み出しデータであることを表す。上画面データは、液晶画面の分割された上画面に表示するデータ、下画面データは下画面に表示するデータを表す。

【0015】垂直方向タイミング(ライトサイクル)は、垂直方向の書き込みサイクルのタイミングを、垂直走査を行うライン番号により表す。垂直方向タイミング(リードサイクル)は、垂直方向の読み出しサイクルのタイミングを、垂直走査を行うライン番号により表す。

【0016】図6の詳細は後述する。図7は、従来のフレームメモリ上のデータの読み出し、書き込みのアドレス指定順序と表示位置の関係を示す図である。

【0017】図において、縦方向は表示画面のライン番号に対応し、横方向は桁番号に対応する。以下、アドレスをライン番号と桁番号の組(「ライン番号-桁番号」)により表す。

【0018】括弧付きの番号は図6におけるキャラクタ時間の番号に対応する。各アドレスの上側の括弧付きの番号は書き込みサイクル(W)を表し、下側の番号は読み出しサイクル(R)を表す。例えば、アドレス「1-2」はキャラクタ時間(2)で書き込みがなされ、キャラクタ時間(3)において読み出しがなされることを表す。

【0019】図示のように、書き込みは画面の左上からライン上を右に移動し、最上位ラインから最下位ラインに向かって順番に書き込まれる。また、読み出しは上画面と下画面が交互に指定され、それぞれの第1ライン(下画面は201ライン)から右に移動しながら、各画面の最上位のラインから最下位のラインに向かって順番に読み出される。

【0020】図6の従来の駆動方式のタイミングの説明

をする。必要に応じて、図7を参照する。図示のキャラクタ時間の順番に従って説明する。

【0021】(1) フレームメモリのアドレス1-1(以後、1-1と表す)に表示位置1-1のライトデータ(以後、ライトデータ1-1と表す)を書き込む。次にフレームメモリの1-1のデータを読み出す(図7の1-1参照)。

【0022】(2) フレームメモリの1-2にライトデータ1-2を書き込む。次にフレームメモリの201-1のデータを読み出す(図7の1-2、201-1参照)。

【0023】(3) フレームメモリの1-3にライトデータ1-3を書き込む。次にフレームメモリ1-2のデータを読み出す(図7の1-2、1-3参照)。

(3)～(4)の2キャラクタ時間で、(1)で読み出したリードデータ1-1をシフトし、上画面データとし、(2)で読み出したフレームメモリ201-1のデータを下画面データとして、上画面データと下画面データを出力する。

【0024】(4) フレームメモリ1-4にライトデータ1-4を書き込む。次にフレームメモリの201-2のデータを読み出す(図7の1-4、202-2参照)。

(5) フレームメモリの1-5にライトデータ1-5を書き込む。次に、フレームメモリの1-3のデータを読み出す(図7の1-5、1-3参照)。(5)～

(6)で(3)で読み出した1-2のデータと(4)で読み出した201-2のデータをそれぞれ、上画面データ、下画面データとして出力する。

【0025】(6)～(79)は省力する。

(80) フレームメモリの1-80にライトデータ1-80を書き込む。次にフレームメモリ201-40のデータを読み出す。

【0026】以上で1ラインの書き込みと、1ラインの40桁目までと201ラインの40桁目までのデータの読み出しがなされ、表示される。以下同様に、キャラクタ時間の番号(81)～(160)で2ライン目のデータの書き込みと、1ラインの41桁から80桁と201ラインの41桁から80桁までのデータが読み出され、表示される。

【0027】

【発明が解決しようとする課題】従来の、二画面に分割された液晶表示装置の駆動方式では、フレームメモリには1画面分のデータを格納する必要があった。そのため、画面表示の精度をよくするため液晶画面の画素数を多くすると、メモリ容量を大きくしなければならなかった。メモリを大型化するとメモリ周辺回路の負担も増加するので、メモリ容量をできるだけ少なくして画面表示することが望まれる。

【0028】本発明は、一画面の画素の表示データを格

納するのに必要な記憶容量の1/2のフレームメモリにより、2画面分割された液晶駆動方式を提供することを目的とする。

【0029】

【課題を解決するための手段】本発明は、フレームメモリから読み出した表示データとそれに対応する他方の画面の表示データをビデオ入力部より入力し、二分割された画面のそれぞれの表示データとして液晶画面に出力するようにした。一方、データを読み出したアドレスには、その入力した表示データを書き込むようにすることにより一画面の画素数に対応する記憶容量の1/2の容量のメモリで液晶画面表示できるようにした。

【0030】本発明の基本構成を図1に示す。図において、1、はフレームメモリであって、1画面の1/2の表示データを格納するものであって、1、2は一つのメモリ状態1、状態2を表す。状態1はアドレス1-1に表示画面の位置1-1のデータを格納している状態を表し、状態2はアドレス1-1のデータを読み出した後に、アドレス1-1に表示画面の位置201-1のデータを格納した状態を表している。3は液晶表示画面であって、分割画面Aと分割画面Bに分割されて、液晶表示の駆動がなされるものである。4はメモリアドレス発生部であって、フレームメモリにビデオデータを書き込むアドレス、および表示データとして読み出すアドレスを指定するものである。5はデータ制御部であって、メモリアドレス発生部4により指定されたアドレスにビデオデータを書き込むか、もしくは指定されたアドレスのデータを読み出すものである。6は駆動部であって、データ制御部5から出力される分割画面Aの表示データと分割画面Bの表示データを、液晶表示画面のそれぞれの分割画面に表示するように駆動するものである。7はビデオデータ入力部であって、フレームメモリ1、2にビデオデータを入力するものである。8はメモリ制御信号発生部であって、アウトプットイネーブル、インプットイネーブル、チップセレクト等のフレームメモリ1、2の制御信号を発生するものである。

【0031】10は表示データ保持部1であって、フレームメモリ状態1、2から読み出した表示データを保持するもので、レジスタとなるものである。11は表示データ保持部2であって、レジスタとなり、表示データ保持部1(10)の保持する表示データを表示する分割画面と異なる側の分割画面に表示するビデオデータを入力して保持し、表示データ保持部1(10)の保持する表示データの出力のタイミングに合わせて、液晶表示画面に出力するものである。そして、表示データ保持部2(11)に保持されたデータは、表示データとして出力されるとともに、表示データ保持部1(10)に保持する表示データを読み出したアドレスに格納される。

【0032】

【作用】図1の構成の動作を説明する。アドレス1-1

(図のフレームメモリ1における左上端)の書き込み、読み出しの場合について、図示の丸付きの番号に従って動作を説明する。

【0033】① メモリアドレス発生部4は、フレームメモリ1のアドレス1-1を指定する。

② メモリ制御信号発生部8は、読み出し制御信号を発生し、データ制御部5は、フレームメモリ1のアドレス1-1のデータを読み出して表示データ保持部1(10)に保持する。

【0034】③ データ制御部5は表示位置201-1の表示データをビデオデータ入力部7より取り込み、表示データ保持部2(11)に保持する。

④ データ制御部5は、表示データ保持部1(10)に保持した表示位置1-1の表示データと表示データ保持部2(11)に保持した表示位置201-1の表示データを揃えて駆動部6に出力する。

【0035】⑤ データ制御部5は、表示データ保持部2(11)に保持している表示位置201-1のデータをアドレス1-1に格納する。

⑥ 駆動部6は、データ制御部5から出力された表示位置1-1(分割画面A)のデータと表示位置201-1(分割画面B)のデータをそれぞれの表示位置に表示する。

【0036】次に、同様に、データ制御部5はアドレス1-2のデータを読み出して保持し、表示位置201-2の表示データを入力して保持し、表示位置1-2のデータと表示位置201-2のデータを出力するとともに、アドレス1-2に表示位置201-2のデータを格納する。

【0037】以後同様に、各ラインについて処理を進め。図2は本発明のフレームメモリの読み出し位置、書き込みアドレス指定順序と表示位置の関係を示す。

【0038】図(a)は1ライン目の動作を表す。図は、縦400ライン、横80桁の表示画面についてのフレームメモリを表す。縦方向はライン番号、横方向は桁番号に対応する。

【0039】各アドレスの上側の番号は読み出したデータの表示位置を表し、下側のデータは書き込んだデータの表示位置を表す。また、図の括弧付きの番号はキャラクタ時間の順番を表す(図6参照)。

【0040】以下、アドレスの表し方は図7の場合と同様である(「ライン番号-桁番号」で表す)。キャラクタ時間(1)でアドレス1-1のデータを読み出し、表示位置1-1に表示し、読み出した後に、同じアドレスに表示位置201-1の表示データを書き込む。キャラクタ時間(2)で、アドレス1-2のデータを読み出し、表示位置1-2に表示し、読み出した後に、同じアドレスに表示位置201-2の表示データを書き込む。同様に1ラインの各桁について順番に処理を進め、キャラクタ時間(80)でアドレス1-80のデータを読み

出し、表示位置1-80に表示し、読み出した後に、同じアドレスに表示位置201-80の表示データを書き込む。

【0041】同様に、2ライン以降についてもフレームメモリからデータを読み出して保持し、読み出したデータを表示する分割画面と異なる他方の分割画面に表示するデータをビデオ入力部より入力し、二つの分割画面のデータを揃えて出力する。そして、ビデオ入力部より入力した他方の分割画面のデータを、読み出したアドレスに書き込む処理を繰り返し続ける。

【0042】図(b)は1ラインの動作終了時のフレームメモリの状態を示す。1ライン目のデータが表示位置201ライン(分割画面Bの第1ライン)のデータに置き換えた状態を示す。

【0043】図(c)は1フレーム終了後のフレームメモリの状態を表す。全ラインのデータが分割画面Bのラインのデータに置き換えられる。次のフレームにおいて、図(c)のフレームメモリ上のデータが読み出され、ビデオ入力部より入力された表示データとともに、フレームメモリから読み出したデータは分割画面Bに表示され、ビデオ入力部から入力した表示データは分割画面Aに表示する。さらに、ビデオ入力部から入力した表示データはフレームメモリの直前に読み出したアドレスに書き込まれ、フレームメモリのデータが分割画面Aのデータに置き換えられる。

【0044】

【実施例】図3は、本発明の実施例構成を示す。図において、30はフレーム監視部、31は初期動作制御部であって、動作開始時1~200ラインのデータをフレームメモリに格納するものである。32はメモリ制御信号発生部であって、制御の周期(アクセス時間)を従来方式の2倍としたものである。33はメモリアドレス発生部であって、同一アドレスの書き込みアドレスと読み出しアドレスを出力するものである。34はデータ制御部であって、表示データ保持部1と表示データ保持部2を備え、表示データ保持部2に保持された表示データはフレームメモリに書き込まれるとともに、表示データとして出力されるものである。35はフレームメモリであって、表示画面の画素数の1/2の記憶容量を持つものである。40はアドレスカウンタであって、同一の書き込みアドレスと読み出しアドレスを発生するものである。41は表示データ保持部1であって、フレームメモリからの読み出しデータを一時保持し、表示データ保持部2に保持された表示データと同じタイミングで液晶表示画面の駆動部(図示せず)に出力されるものである。42は表示データ保持部2であって、ビデオデータを入力し、表示データ保持部1(41)に保持されている表示データと同じタイミングで液晶表示画面の駆動部に出力されるものである。また、表示データ保持部2に保持されている表示データは表示データ保持部1(41)のデ

ータを読み出したアドレスに書き込まれるものである。

【0045】図4により図3の構成の動作を説明する。図4は、本発明の駆動方式のタイミング図である。データ制御部34へはCRT用ビデオ信号が従来方式の1/2のフレーム周波数で入力される。そして、メモリ制御信号発生部32の書き込みと読み出しのタイミング周期を従来方式の2倍とし、キャラクタ時間(1)~(160)で1ラインの表示データの書き込みと1ラインの表示データの読み出しを行う。

【0046】まず、初期動作制御部31は、動作開始時にフレームメモリ1~200ラインのデータを書き込む。以下、キャラクタ時間の順番を表す括弧付きの番号に従って図4を説明する(図1を参照する)。

【0047】(1) データ制御部5は、フレームメモリのアドレス1-1(以下、単に1-1と表す)のデータを読み出し、表示データ保持部1(10)に保持する。同時に、表示位置201-1のビデオデータを取り込んで、表示データ保持部2(11)に格納する(ライトデータ201-1)。

【0048】(2) データ制御部34は、フレームメモリの1-1にライトデータ201-1を書き込む。

(3) データ制御部5は、フレームメモリ1-2のデータを読み出し、表示データ保持部1(10)に保持する。同時に、表示位置201-2のビデオデータを取り込んで、表示データ格納部2(11)に保持する(ライトデータ201-2)。

【0049】(4) データ制御部5は、表示データ格納部2(11)に保持した表示位置201-2の表示データをフレームメモリの1-2に格納する。キャラクタ時間(3)~(4)で、表示データ保持部1(10)および表示データ保持部2(11)に保持した表示データをそれぞれ上画面データおよび下画面データとして出力する。

【0050】(5)~(79)については省略する(同様に処理を進める)。

(80) データ制御部5は、表示データ保持部2(11)で、保持した表示位置201-40に表示するビデオデータ(ライトデータ201-40)をフレームメモリの1-40に書き込む。キャラクタ時間(79)~(80)で表示位置201-39の下画面データと表示位置1-39の上画面データを出力する。

【0051】(81) データ制御部5は、フレームメモリの1-41のデータを読み出し、表示データ保持部1(10)に保持する。データ制御部5はビデオデータを表示データ保持部2(11)に取り込み、保持する(ライトデータ201-41)。

【0052】(82) データ制御部5は表示データ保持部2(11)に保持したデータ(ライトデータ201-41)をフレームメモリの1-41に書き込む。キャラクタ時間(81)~(82)でデータ制御部5は表示

データ保持部1(10)に保持した表示位置1-40の上画面データおよび表示データ保持部2(11)に保持した表示位置201-40の下画面データを出力する。

【0053】以下同様に処理を進める((83)～(159)は省略する)。

(160) データ制御部5は、フレームメモリの1-79のデータを読み出し(図示せず)、表示データ保持部1(10)に保持する。データ制御部5はビデオデータを入力し、表示データ保持部2(11)に格納する。この保持データが続くキャラクタ時間(161)、(162)で、表示データ保持部1(10)に保持されているデータとともにに出力される。

【0054】垂直方向タイミング(ライトサイクル)では、図示のように、(1)～(160)のキャラクタ時間で、表示画面の201ラインのデータの書き込みがなされる。同時に、垂直方向タイミング(リードサイクル)は、(1)～(160)のキャラクタ時間に1ラインの表示データがフレームメモリから読み出される。

【0055】

【発明の効果】本発明によれば、1画面の画素の表示データを格納するのに必要な記憶容量の半分の記憶容量のフレームメモリで、液晶表示装置の画面分割駆動を行うことが可能になる。そのため、メモリ周辺装置の構成が

簡略化され、液晶表示装置を小型化することができるとともにコストを低減することができる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】本発明のフレームメモリの読み出し、書き込みアドレス指定順序と表示位置の関係を示す図である。

【図3】本発明の実施例構成を示す図である。

【図4】本発明の駆動方式のタイミング図である。

【図5】従来の技術の説明図である。

【図6】従来の駆動方式のタイミング図である。

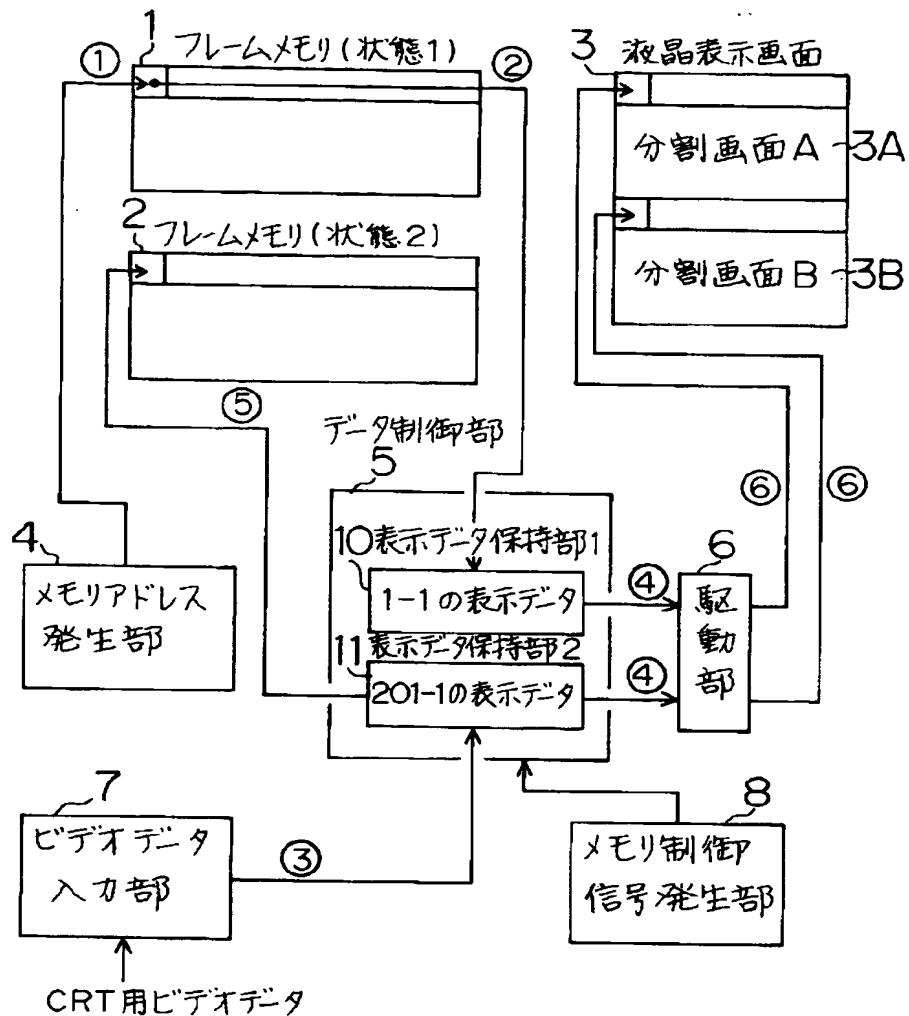
【図7】従来のフレームメモリの読み出し、書き込みアドレス指定順序と表示位置の関係を示す図である。

【符号の説明】

- 1 : フレームメモリ(状態1)
- 2 : フレームメモリ(状態2)
- 3 : 液晶表示画面
- 3A : 分割画面A
- 3B : 分割画面B
- 4 : メモリアドレス発生部
- 5 : データ制御部
- 6 : 駆動部
- 7 : ビデオデータ入力部
- 8 : メモリ制御信号発生部

【図1】

本発明の基本構成

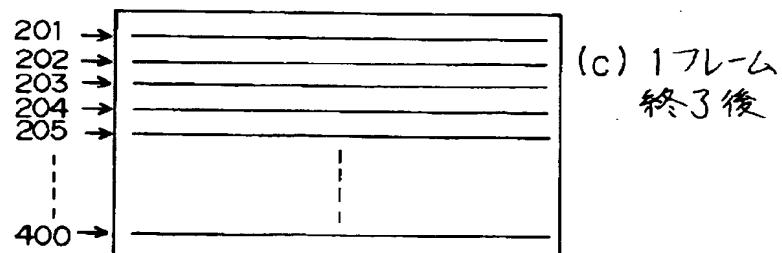
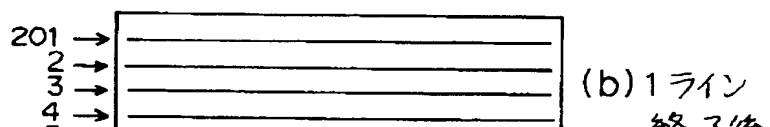


【図2】

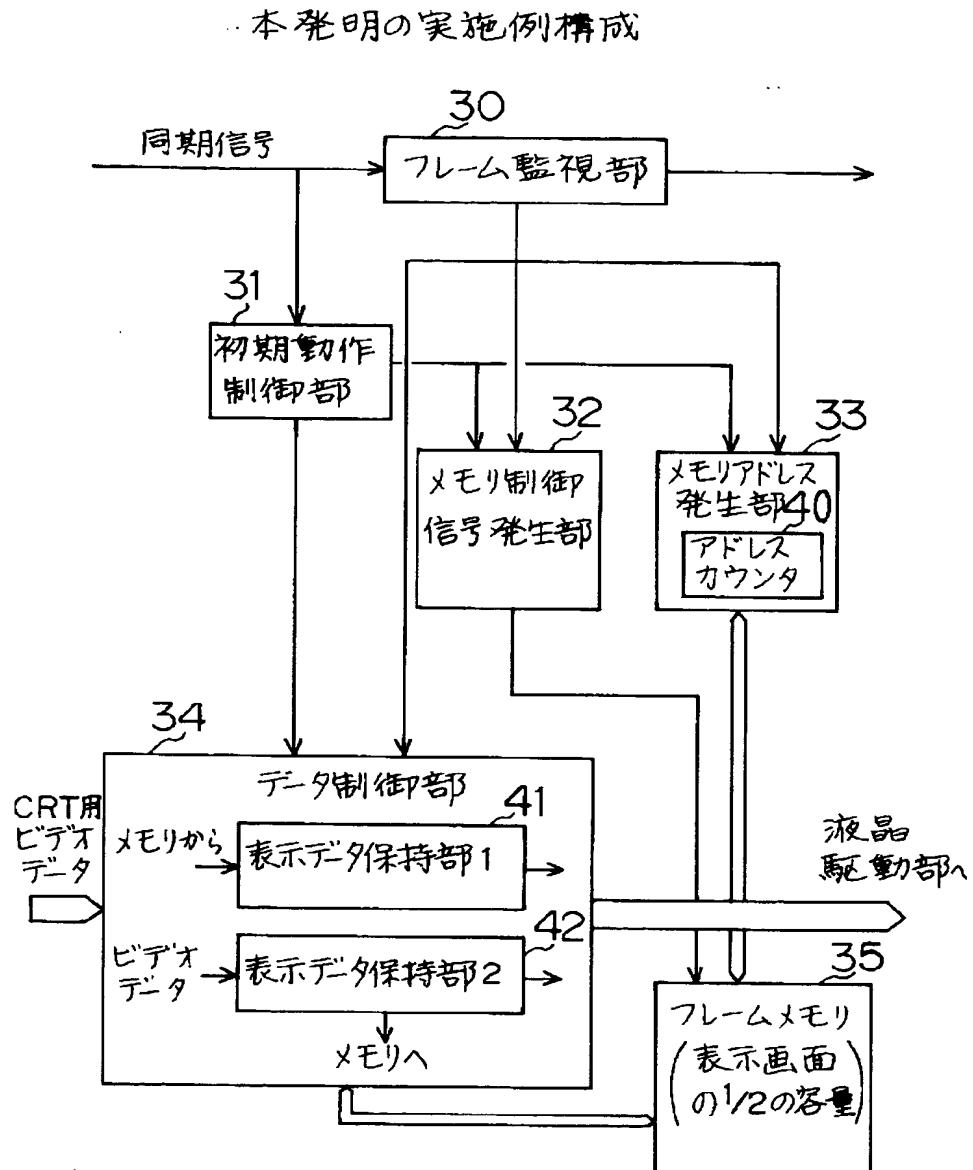
本発明のフレームメモリの読み出し、書き込みアドレス指定順序と表示位置の関係

行 1 2		79 80			
ライン	(1) 1-1	(2) 1-2	(79) 1-79	(80) 1-80	R
1	201-1	201-2	201	201	W
2			-79	-80	
200					

(a) 1ライン目の動作

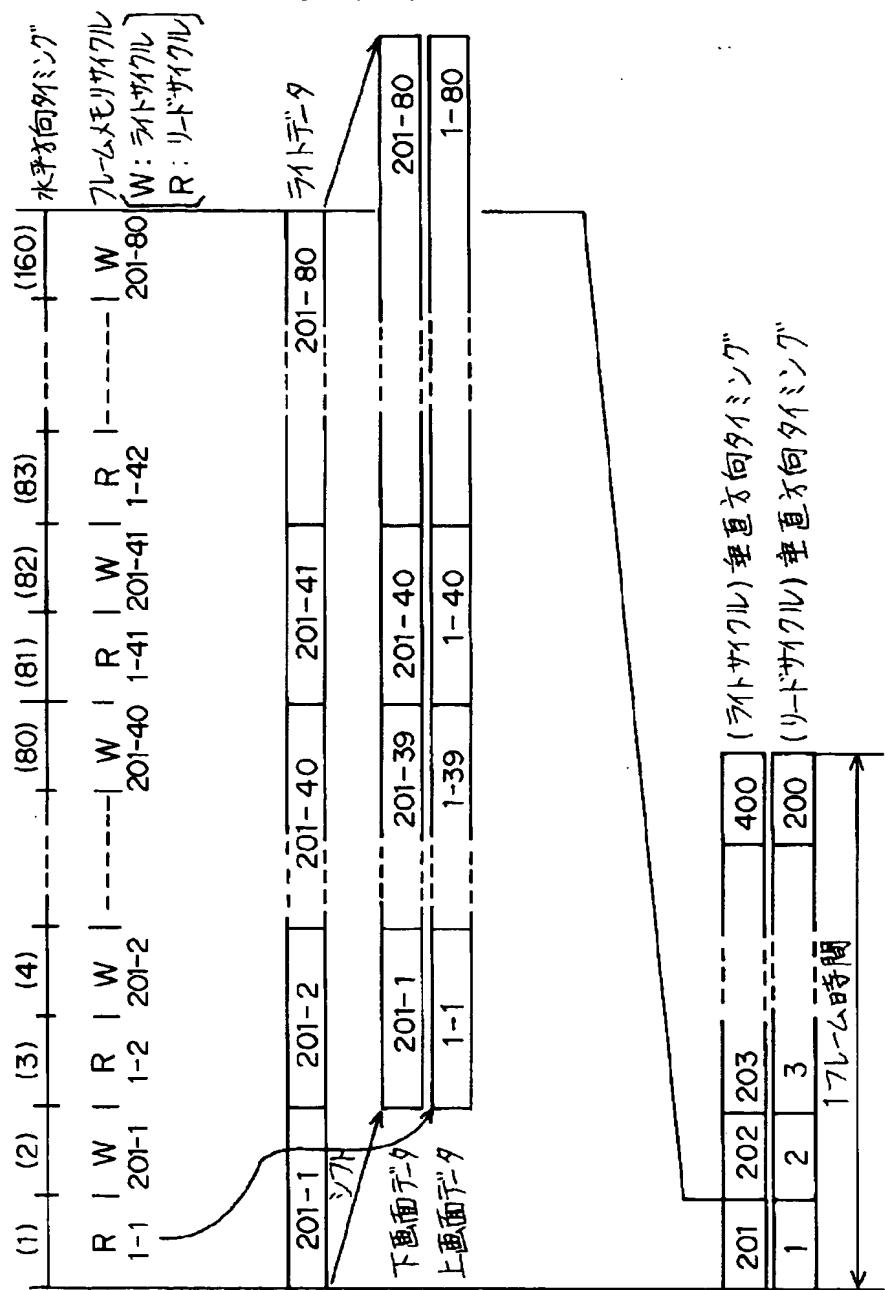


【図3】

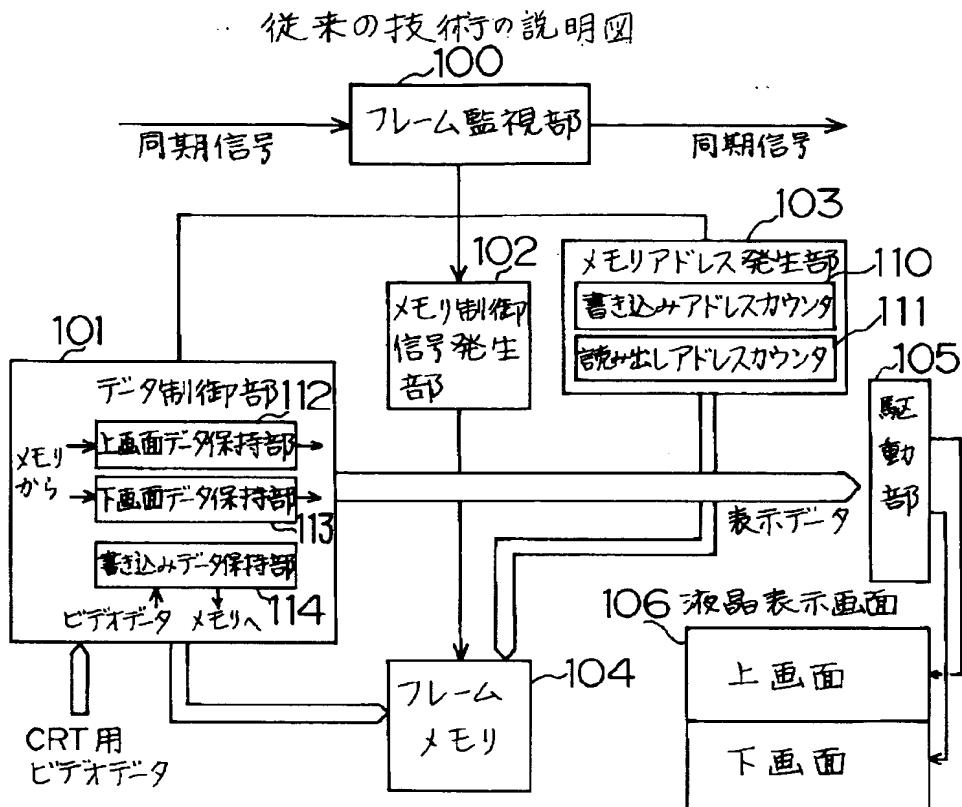


[図4]

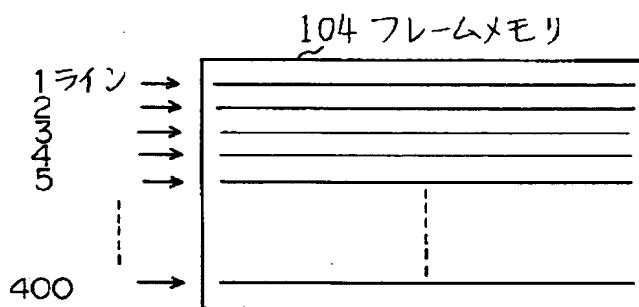
本発明の駆動方式のタイミング図



【図5】

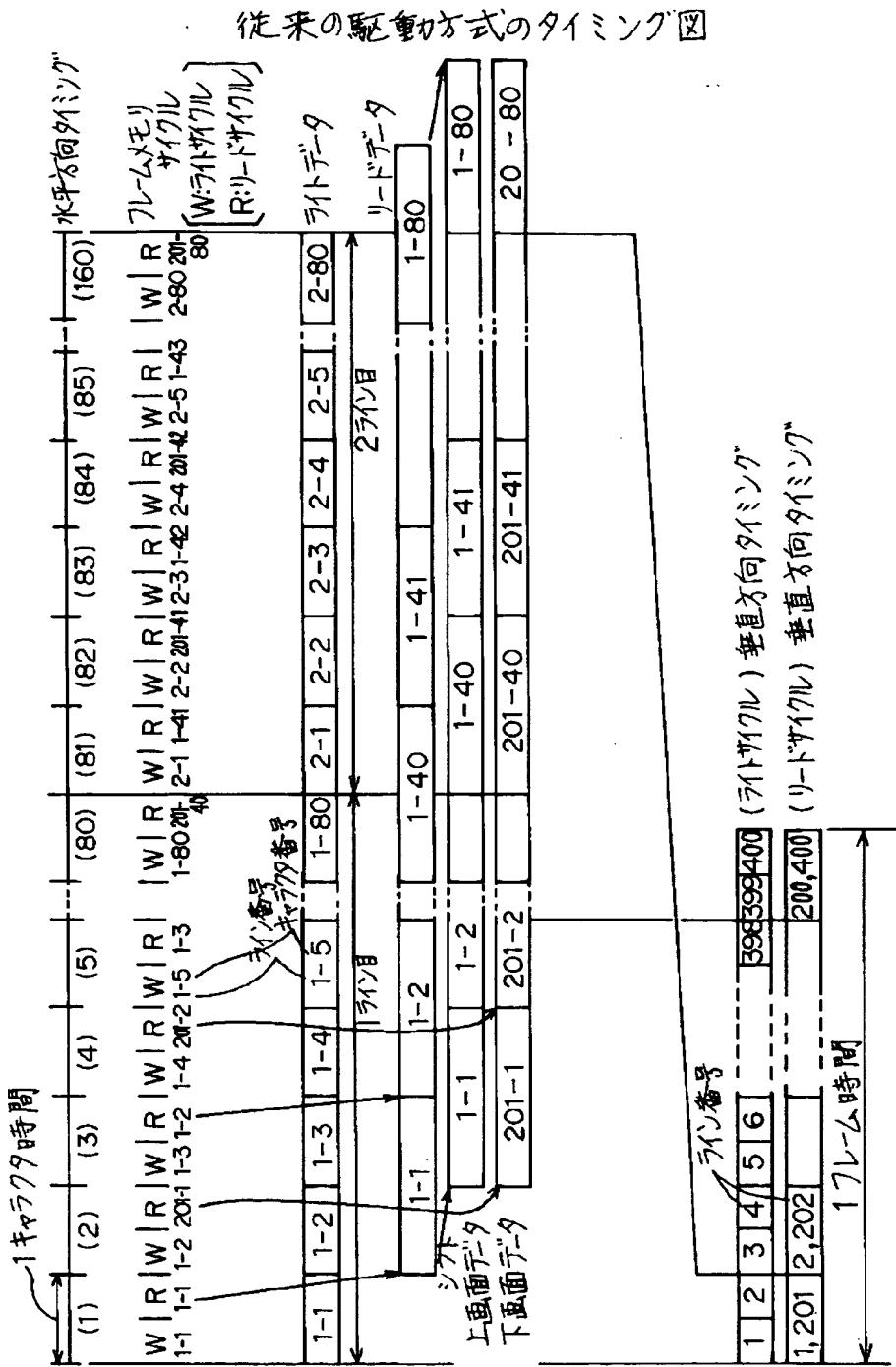


(a) 従来の装置構成



(b) フレームメモリの記憶状態

【四 6】



【図7】

従来のフレームメモリの
表示位置の関係

行	1	2	3	4	5	40	41	42	80	
ライン 1	(1)	(2)	(3)	(4)	(5)		(40)	(41)	(42)	
	(1)	(3)	(5)	(7)	(9)		(79)	(81)	(83)	
	(81)	(82)	(83)	(84)	(85)		(120)	(121)	(122)	
200										
201										
	(2)	(4)	(6)	(8)	(10)		(80)	(82)	(84)	
400										

(ライン1～200 上画面)
(ライン201～400 下画面)